

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-028260

(43)Date of publication of application : 30.01.1992

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 02-133391

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 23.05.1990

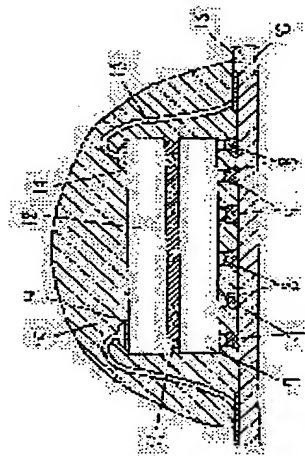
(72)Inventor : NAKANO KATSUHIRO

(54) METHOD OF MOUNTING SEMICONDUCTOR CHIP

(57)Abstract:

PURPOSE: To improve a semiconductor device in mounting density so as to miniaturize the device by a method wherein one of two semiconductor chips is mounted in a face-down manner and the other is mounted in a face-up manner, and the two semiconductor chips are mounted through a flip chip bonding and a wire bonding method respectively.

CONSTITUTION: Conductive bumps 8 are formed on the aluminum electrode of a first semiconductor chip 7, and the chip 7 is mounted on a board 10 in a face-down manner through the intermediary of first thermoplastic conductive resin 9. Then, a second semiconductor chip 12 is mounted on the chip 7 in a face-up manner by the use of a second thermoplastic insulating resin and can be thermally treated at a temperature lower than that of the resin 9. Furthermore, the aluminum electrodes 14 of the chip 12 are connected to wiring electrodes 15 provided to the top face of the board 10 with wires 13 through wire-bonding, and a semiconductor device is collectively sealed up with sealing material 16. By this setup, a semiconductor device can be enhanced in mounting density without increasing a board in area corresponding to the number of chips.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-28260

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)1月30日

H 01 L 25/065
25/07
25/18

7638-4M H 01 L 25/08

B

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体チップの実装方法

⑮ 特 願 平2-133391

⑯ 出 願 平2(1990)5月23日

⑰ 発 明 者 中 野 克 宏 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑲ 代 理 人 弁理士 栗野 重孝 外1名

2 ページ

明 細 書

1、発明の名称

半導体チップの実装方法

2、特許請求の範囲

電極部に導電性バンパが形成され接続材料として導電性を有する第一の熱可塑性樹脂を用いて基板上にフェースダウンで実装された第一の半導体チップと、その第一の半導体チップ上に塗布され絶縁性を有しかつ第一の熱可塑性樹脂より低温度で熱処理可能な第二の熱可塑性樹脂で前記第一の半導体チップ上にフェースアップで実装されかつ基板とはワイヤボンディングによって電気的に接続された第二の半導体チップとを封止材料にて一括して封止することを特徴とする半導体チップの実装方法。

3、発明の詳細な説明

産業上の利用分野

本発明は、基板上に複数の半導体チップを実装する場合に用いる半導体チップの実装方法に関する。従来の技術

従来、複数の半導体チップをフリップチップ方式で基板に実装する場合、第2図に示すように、基板1上に半導体チップ2および3が半導体チップ2および3の電極上に形成されたバンパ4と導電性接着剤5を介して電気的に接続され、つぎにその上部を絶縁性樹脂6等で被覆して実装している。

発明が解決しようとする課題

しかしながら上記従来の構成では、搭載する半導体チップ2および3の数に応じて基板の面積を大きくしていかなければならないために、実装密度が向上せず、製品の小型化を著しく阻害するという課題があった。

本発明は、上記従来の課題を解決するものであり、半導体チップの実装密度を向上し、したがって電子機器の小型化に有効な半導体チップの実装方法を提供することを目的とするものである。

課題を解決するための手段

本発明は上記目的を達成するために、電極部に導電性バンパが形成され接続材料として導電性を

有する第一の熱可塑性樹脂を用いて基板上にフェースダウンで実装された第一の半導体チップと、その第一の半導体チップ上に塗布され絶縁性を有しかつ第一の熱可塑性樹脂より低温度で熱処理可能な第二の熱可塑性樹脂で第一の半導体チップ上にフェースアップで実装されかつ基板とはワイヤボンディングによって電気的に接続された第二の半導体チップとを封止材料にて一括して封止するものである。

作用

したがって本発明によれば、搭載する半導体チップの数に応じて基板の面積を大きくしていく必要がなく、実装密度を向上でき、さらには電子機器等の製品の小型化にも大きな効果を有するものである。

実施例

以下、本発明の一実施例を図面を参照して説明する。第1図は本発明の一実施例によって実装された半導体チップの断面図であり、図に示すように、第一の半導体チップ7のアルミ電極部(図示

せず)に導電性バンパ8が形成され、接続材料として導電性を有する第一の熱可塑性樹脂9を介して基板10上にフェースダウンにて実装される。つぎにその第一の半導体チップ7の上に絶縁性を有しかつ第一の熱可塑性樹脂9より低温度にて熱処理可能な第二の熱可塑性樹脂11を用いてフェースアップで第二の半導体チップ12を実装し、さらにワイヤ13を用いて第二の半導体チップ12のアルミ電極部14と基板10の上面に設けられた配線電極15とをワイヤボンディングによって接続し、その後絶縁性樹脂よりなる封止材料16で一括して封止する。

この実施例によれば、搭載する半導体チップの数に応じて基板面積を大きくする必要がなく、実装密度を向上することができる。

なお、第二の半導体チップ12の実装に用いている第二の熱可塑性樹脂11の熱処理温度を、第一の半導体チップ7の実装に用いている第一の熱可塑性樹脂9の熱処理温度よりも低くしているの、第二の半導体チップ12が不良の場合、容易

に交換することができ、すでに実装済みの第一の半導体チップ7の接続部の信頼性を損うことがない。また、絶縁性樹脂よりなる封止材料16によって一括して封止できるため、封止材料16の節約に著しく有効である。

発明の効果

本発明は上記実施例より明らかなように、2個の半導体チップをフェイスダウン実装とフェイスアップ実装を併用し、フリップチップ接続とワイヤボンディング接続によって実装しているため基板上に半導体チップを立体的に配置することができ、基板の面積を有効に活用して実装密度を向上し、したがって電子機器等の製品の小型化にも役立つものである。

4、図面の簡単な説明

第1図は本発明の一実施例における半導体チップの実装方法によって形成された半導体チップ実装部の部分断面図、第2図は従来の実装方法による半導体チップ実装部の部分断面図である。

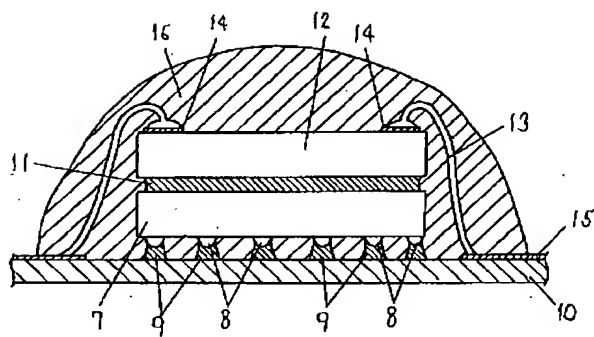
7……第一の半導体チップ、8……導電性バン

パ、9……第一の熱可塑性樹脂、10……基板、11……第二の熱可塑性樹脂、12……第二の半導体チップ、13……ワイヤ、14……アルミ電極部(電極部)、15……配線電極、16……封止材料。

代理人の氏名 弁理士 栗 野 重 孝 ほか1名

第 1 図

- 7...第一の半導体チップ
- 8...導電性パッド
- 9...第一の熱可塑性樹脂
- 10...基板
- 11...第二の熱可塑性樹脂
- 12...第二の半導体チップ
- 13...ワイヤ
- 14...アルミ電極部(直極部)
- 15...配線電極
- 16...封止材料



第 2 図

